IN THE MATTER OF

U.S. Provisional Application No. 10/758,040

By Samsung Electronics Co., Ltd

I, Seunghye Kim, an employee of Y.P.LEE, MOCK & PARTNERS of Koryo Bldg., 1575-1 Seocho-dong, Seocho-gu, Seoul, Republic of Korea, hereby declare that I am familiar with the Korean and English language and that I am the translator of the disclosure of the invention and certify that the following is, to the best of my knowledge and belief, a true and correct translation.

Signed this 9th day of May, 2007

APPLICATION OF THE IN-SERVICE INVENTION

[Title of the Invention]

Structure of Embedded System Improving Display Performance

[Main Point of the Invention]

Provided is a structure of an embedded system designed in order to improve display performance.

[Key-words]

embedded, display, architecture, bus

[Inventor]

Name: Choi Sung Kyu

Name in Chinese Characters: 崔 成 圭

Company: Samsung DM R&D Center (Mobile Solution Team)

Address (Home): 1208-206 Mujigaemaeul Dongshin Apt. Jung-dong, Wonmi-gu, Bucheon-si, Gyeonggi-do, KOREA

Resident Registration Number: 680412-1026116

Employee ID Number (Level): 92035682 (E5-)

Telephone (Company): 031) 200-3742

SPECIFICATION OF THE IN-SERVICE INVENTION

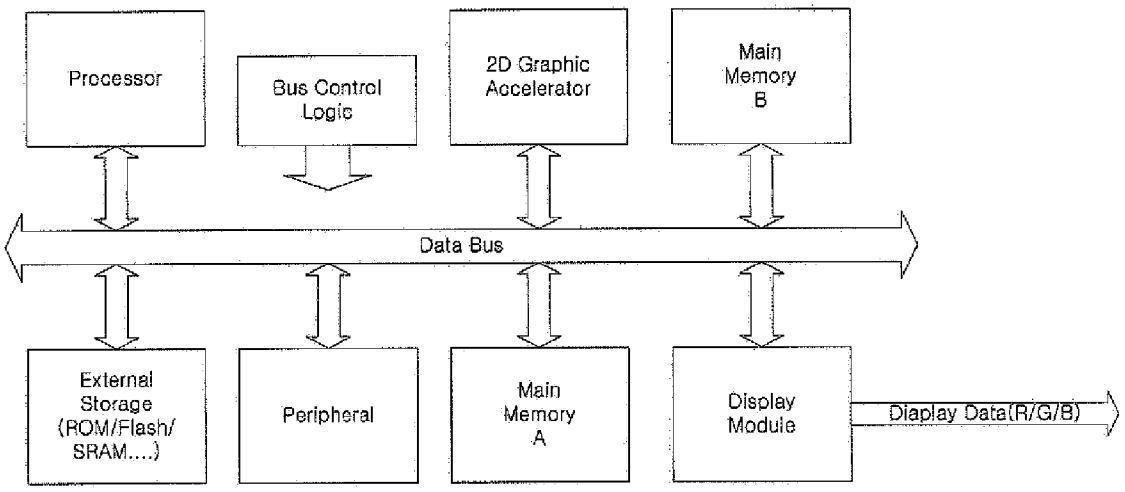
[Title of the Invention]

STRUCTURE OF EMBEDDED SYSTEM IMPROVING DISPLAY PERFORMANCE

[Background of the Invention]

The present invention relates to a structure of an embedded system enabling high-definition display using the minimum performance of the embedded system. According to the present invention, high-definition display may be realized without reducing performance of the embedded system by separately including a memory and a data bus for data processing and a memory and a data bus for data display, including a direct memory access (DMA) module which transmits and receives data to and from each of the memories, and accessing the memories by the processor.

[Description of the Related Art]



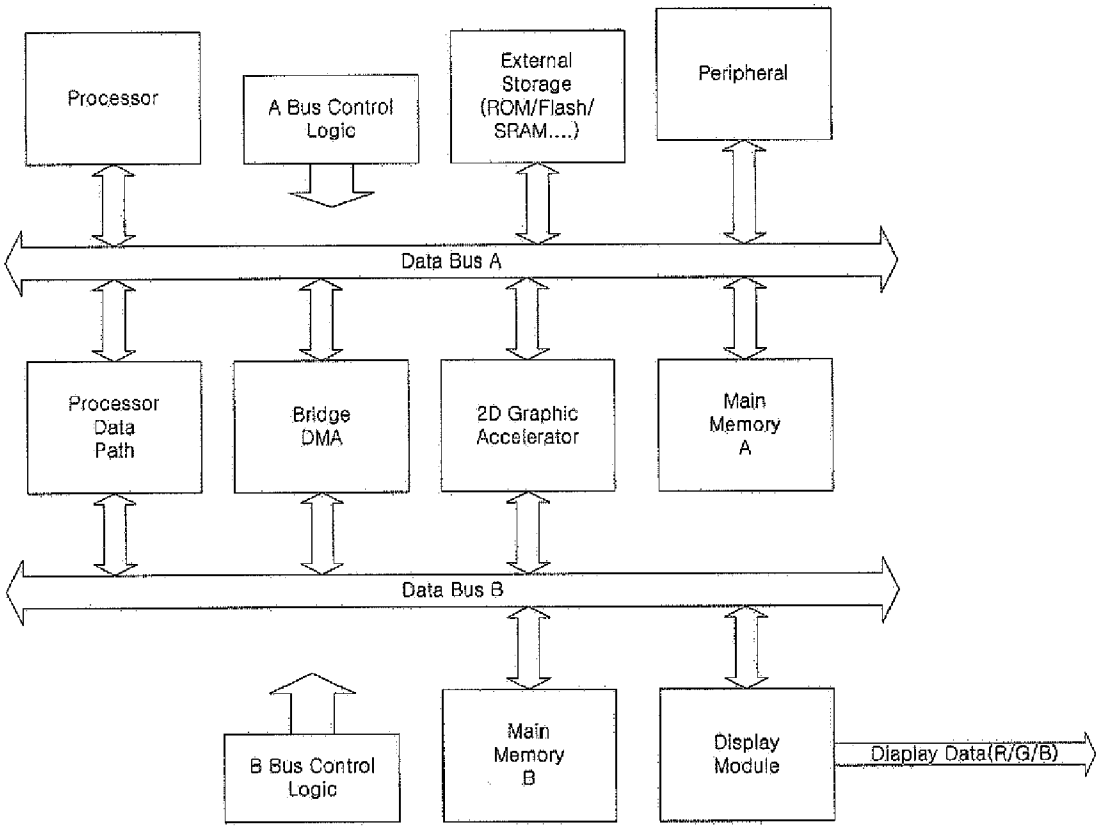
<FIG. 1.1> STRUCTURE OF CONVENTIONAL EMBEDDED SYSTEM

FIG. 1.1 is a diagram showing a structure of a conventional embedded system.

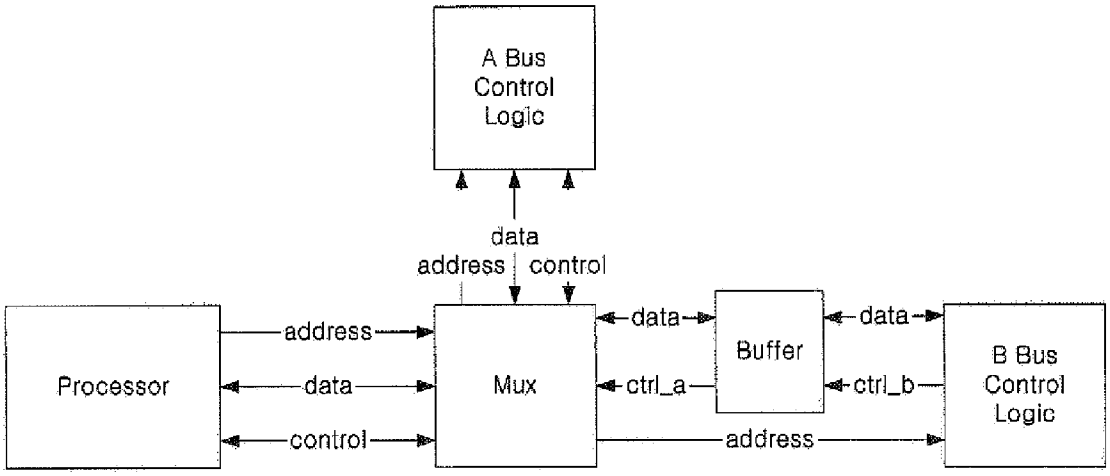
In the conventional embedded system, Main Memories A and B are connected to one data bus.

Since all modules are connected to one data bus, if data input and output occur frequently, the performance of the system depends on the performance of the data bus. Thus, a plurality of modules and processors may not read or write data as frequently as they can and thereby the performance of the system reduces. To solve this problem, bus speed may be increased. However, the bus speed may not be increased up to a sufficient level, power consumption increases if the system operates at high speed, and the system has to be designed in consideration of each module to be operated at high speed.

[Detailed Description of the Invention]



<FIG. 2.1> INVENTED STRUCTURE OF EMBEDDED SYSTEM



<FIG. 2.2> PROCESSOR DATA PATH MODULE OF INVENTED STRUCTURE OF EMBEDDED SYSTEM

FIG. 2.1 is a diagram showing a structure of an embedded system according to an embodiment of the present invention.

Referring to FIG. 2.1, two data buses such as Data Buses A and B are included in the embedded system. Data Bus A is connected to a processor, a peripheral module, and an external storage module and Data Bus B is connected to a display module.

Each data bus includes a bus control logic. Data Buses A and B operate independently.

The external storage module connects an external memory device such as a flash memory device, a read-only memory (ROM) device, and a static random access memory (SRAM) device to an internal data bus such as Data Bus A. The peripheral module connects a peripheral device such as a universal asynchronous receiver/transmitter (UART), a universal serial bus (USB) device, an external input/output (I/O) device to an internal data bus such as Data Bus B.

A two-dimensional (2D) graphic accelerator module supports the processor by using hardware for a few commends to be executed by software and thereby allows an operating system (OS) to be operated at higher speed, when 2D graphic images are processed by the OS.

A bridge DMA module transfers data stored in Main Memory A connected to Data Bus A to Main Memory B connected to Data Bus B or transfers data stored in Main Memory B to Main Memory A. Since the bridge DMA module directly performs memory access, the data is transferred without being input to or being output from the processor.

A processor data path module allows the processor to randomly read or write the data stored in Main Memory B.

A display module reads the data stored in Main Memory B and displays the data to fit to display size.

A Bus Control Logic controls requests of modules for using Data Bus A and controls Main Memory A. B Bus Control Logic controls requests of modules for using Data Bus B and controls Main Memory B.

FIG. 2.2 is a detailed diagram of the processor data path module.

In order to read or write data, the processor generates address and control signals. Since Main Memories A and B are included in the embedded system and are respectively connected to Data Buses A and B which operate independently, the processor may not be connected directly to Main Memories A and B.

Main Memories A and B are separated by the address signal.

A mux controls whether to access to Main Memory A or Main Memory B by receiving the address signal.

If the address signal output from the processor belongs to Main Memory A, the mux connects the address and control signals to A Bus Control Logic and data may be read from or written to Main Memory A under the control of A Bus Control Logic. Since the processor is connected to Data Bus A as illustrated in FIG. 2.1, the data may be read from or written to Main Memory A without any additional device.

If the address signal output from the processor belongs to Main Memory B, the mux connects the address signal to Data Bus B.

Since Data Bus B operates at different speed from the data I/O speed of the processor, data may not be directly read from or written to Main Memory B and a buffer has to be internally included. In order to write data into Main Memory B, the mux checks whether the buffer is empty. If the buffer is empty, the buffer sends a control

signal to output the data to the processor. If the processor outputs the data, the buffer stores the data and sends a request for using Data Bus B to B Bus Control Logic in order to access to Main Memory B. If B Bus Control Logic allows using the Data Bus B, the data stored in the buffer is written to Main Memory B.

In order to read data from Main Memory B, the mux sends a control signal to the buffer and checks if the buffer is full.

The buffer receives a read signal and sends a request for using Data Bus B to B Bus Control Logic in order to read the data stored in Main Memory B. If B Bus Control Logic allows using the Data Bus B, the data stored in Main Memory B is read and written to the buffer. If the data is completely written to the buffer, the buffer sends a buffer full message to the processor and the processor reads the data of the buffer.

As such, the processor may read or write data from or to Main Memories A and B.

When the system is operated, operation of each module will now be described as below.

First, when the system is booted, the processor operates by reading a set of instructions from Main Memory A.

The processor processes 2D graphic images to be displayed. The processor analyzes the instructions, gives an instruction to the 2D graphic accelerator module to write display data into the Main Memory B for operations which can be performed by the 2D graphic accelerator module, and writes data into Main Memory B through the processor data path module for operations which can not be performed by the 2D graphic accelerator module.

With respect to a different type of data such as video data which is not graphic data, the data stored in Main Memory A is transferred to Main Memory B by using the bridge DMA module so as to be displayed. In order to process data stored in Main Memory B by a certain application, the data may be transferred to Main Memory A by using the bridge DMA module.

By using the above-described method, display data is transferred to Main Memory B and the display module reads and displays the data from the Main Memory B. The processor uses Main Memory A for other data processing.

As described above, by separating memory for displaying data, although display size is increased and thus amount of display data is also increased, the memory bandwidth used by a processor is not affected by the display data. Accordingly, the performance of the processor may be maximized.

A display module is also designed separately so that the entire system may not be designed to operate at high speed as long as the display module is designed to operate at high speed. Furthermore, a memory bandwidth exclusively for data display may be set regardless of the processor and a variety of memories may be used.

[Claims]

1. A structure of a system including a processor, the system comprising a memory and a data bus for data processing and a memory and a data bus for data display, wherein each of the memories or data buses operates independently, data of a memory is transferred to the other memory by using bridge DMA, and the processor can access the memories which operate independently.

2. The structure of claim 1, wherein the system comprises a processor data path module which can access the data buses by using an address signal output from the processor.

[Brief Description of the Drawings]

FIG. 1.1 is a diagram showing a structure of a conventional embedded system.

FIG. 2.1 is a diagram showing a structure of an embedded system according to an embodiment of the present invention.

FIG. 2.2 is a detailed diagram of a processor data path module of the embedded system illustrated in FIG. 2.1.

발명부서	입 안 (발명자)	심 사 (파트장)	결 정 (그룹장)

직 무 발 명 신 고 서

특허법 제40조 제1항 규정에 의거한 당사의 직무발명 보상규정 제4조 및 제2항 각 조에 따라 본 발명(고안)에 대하여 특허를 받을 수 있는 권리를 양도합니다.

특허부서	입 안	심 사	결 정

발명의 명칭	Embedded system에서 display 성능을 향상시키는 system 구조 .					작성일자	
발명의 요지	embedded system에서 display 성능을 향상시키기 위해 고안된system 구조.	사건구분		적용모델		과제명	
		기술구분		개발단계		과제코드	
키워드	embedded , display , architecture , bus ,			개발기간		출시예정일	

발명자(한글/한자이름)	소 속	주 소 (자택)	주민등록 번호	전화번호 (회사)
발명자 (영문이름)			사원번호(급호)	
최성규/崔成圭	에 연구소 Mobile Solution	경기도 부천시 원미구 중1동 무지개마을 동신아파트1208동 206호	680412-1026116	(0331) 200-3742
Choi Sung Kyu (인)			92035682 (E5-)	
(인)	(본)부 부(실)		- (-)	
(인)	(본)부 부(실)		- (-)	

비고: 발명자 3인 이상時 별첨요망

부서장기재란	평가항목 및 평가내용		평 가 기 준				파트장	그룹장	특허부서
발명평가	제품 관련성	발명 제품의 관련성?	4 점 국제표준화 관련신제품	3 점 신 시 장 개발관련 발	2 점 현 제 품 기 술관련개	1 점 과제무관 IDEA발명			
	발명의 기술적사상	조사된 선행기술과 비교시 어느정도 신규한 발명인가?	10 점 기 본 Format 관기술	7 점 광애독허 회피설계 개량기술	5 점 IDEA성 개량 기술	1 점 실용기술 조합			
	발명의효과	발명의 신규성에서 얻어지는 기대효과(Compact,성능향상,Cost등)는?	10 점 20% 이상	7 점 15% 이상	5 점 10% 이상	1 점 5% 이상			
	권리범위 설정폭	종래기술대비 차별화된 권리범위 확대설정 정도?	4 점 매 우 큼	3 점 큼	2 점 보 통	1 점 적 음			
	대체기술 유 무	타사가 본발명을 회피할 수 있는 대체기술을 개발 또는 회피 설계가 가능한가?	10 점 회피불가	7 점 곤 란	6 점 보 통	1 점 용 이			
	타사실시 가 능 성	타사가 본 발명을 사용, 실시할 가능성?	4 점 확 실 시	3 점 가능성큼	2 점 보 통	1 점 적 음			
	제품화여부	발명의 실용화, 제품화 가능성?	4 점 제 품 화 확 정	3 점 단기간내 실 시	2 점 제 품 화 검 토 중	1 점 계획없음			
	특허수지 개 선	등록시 로열티 수입 예상효과는?	10 점 로 열 티 수 입 확 실 시	7 점 Cross-License 확 실 시	5 점 Cross-License 가 능	1 점 Cross-License 불 가			
	홍보효과	제품적용시 판매촉진등 대외 홍보 기대 효과는?	4 점 매 우 큼	3 점 큼	2 점 보 통	1 점 적 음			
	평가결과	□S급 □A급 □B급 □C급 (S급:52점이상,A급:42점이상,B급:30점이상,C급:29점이하)				평 점			
	부서장의견	(발명에 대한 종합의견)							

특허부서기				
출 원	□특허 □실용 □환송	종 별	일반 , 국내우선 , 병합 , 분할 , 재출원, 변경 , 기출원병합우선	
심 사	□청구 □미청구	긴급도	□초긴급 □긴급 □보통	분류코드:
해 외	□YES □ NO (출원국가:)	결정등급: 급	대리인: 특허사무소	
			접수번호	

직무발명(고안)명세서

1.발명(고안)의 명칭	*발명(고안)내용을 적절히 표현할 수 있는 명칭을 간단명료하게 기재함. *전문용어,약자는 가급적 피함.	예)전지렌지의 도어도크장치, 네트워크 중앙기기의 연속플레이 회로

Embedded system에서 display 성능을 향상시키는 system 구조 .

예)본 발명(고안)은..하는 영상 재생장치(넓은 Category)에 관한 것으로, 특히..(발명(고안)의 특징 기능) 할 수있도록 한 (..에 적합한) 휘도신호 복호회로(좁은 category)에 관한 것이다.

2.발명(고안)의 배경	*200자 내외로 발명(고안)의 적용분야를 간결명료하게 압축하여 설명함.

[산업상 이용분야]

본 발명은 고화질의 display 를 system의 성능을 최소화 하면서 display 를 가능하게 하는 embedded system 구조에 관한 특허로서 , Processor 가 사용하는 memory 와 Display 에 필요한 module 이 사용하는 memory와 data bus 를 분리함으로써 , memory bandwidth 를 분리시키고 , 각 memory 의 data를 주고 받을 수 있는 DMA 를 가지고 , Processor에서 양쪽의 memory 를 access할 수 있음으로써 전체 system 성능의 저하 없이 고화질 Display 를 할 수 있음 .

*국내 우선권 주장여부
(O×표시)
()

[종래 기술의 설명] *가장 최근에 공지된 발명(고안)과 관련된 기술을 요약 설명함.

1.기술출처 (해당부분만 선택하여 기재)	(1)유사특허 또는 출원	*해당특허의 출원번호(또는 등록번호),명칭,출원인 등을 기재하고 첨부함.
	(2)배경문헌 또는 제품	*문헌명,해당Page,발표년월,발표자 등을 기재하고 첨부함. *제품모델명, 제조회사,제조년월일 기재함.
	(3)발명(고안)과 관련된 본 발명자의 전출원	*선출원 번호, 출원일(반드시 기재바람),명칭을 기재함.

예)종래..에 관한 본 발명(고안)과 관련된..기술은..에 의해 출원된 특허출원 제90-1234호(명칭,출원일)에 기재 되어 있음

예)..기술과 관련있는 종래기술은 ..에 의해 발표된 IEEE/1992년 10월,P12,5항에 서술됨.

예)..기술과 관련된 종래기술은 시중에서 구입할 수 있는 1992년 5월,소니(사) 제조 모델 P2838에 게시되어 있음

예)..에 관한 기술은 본발명(고안)자의 특허출원 제 92-4321호(명칭,출원일)에 서술되어 있음.

3.종래기술의 설명

작성 방법:(순서대로 기입)

◈1. 종래기술도면: 관련도면을 양식없이 A4용지에 그림.(사시도,블럭도,회로도 등...)

◈2. 종래기술 구성 : 종래기술의 구성요소들을 도면과 연관하여 간결명료하게 압축설명함.

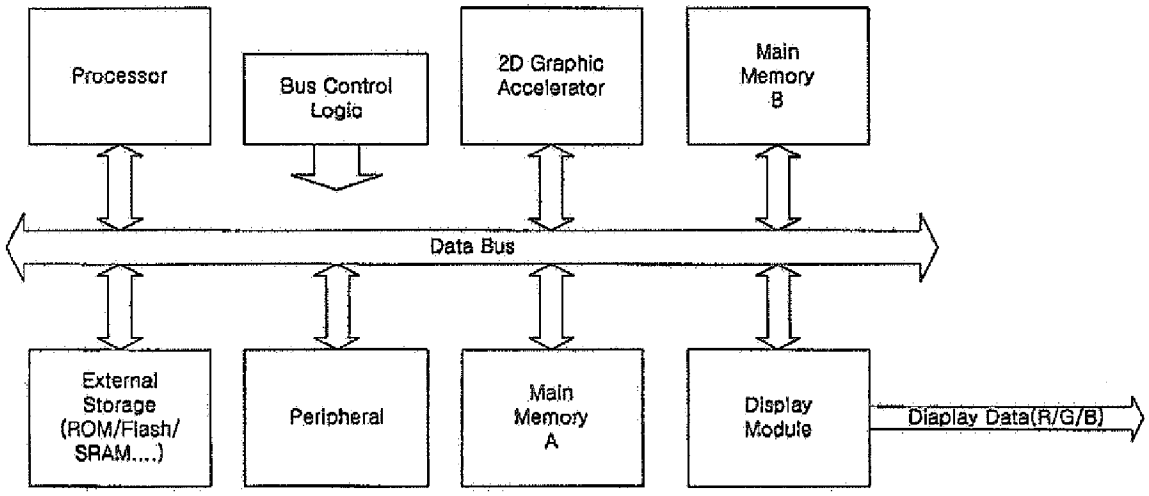
기입예: ○○을 달성하기 위해 종래에는 ~~하는 A, ~~하는 B, ~~하는 C, ~~하는 D로 구성된 장치를 이용하였다.

◈3. 종래기술 동작 : 상기 구성장치가 어떻게 동작하는 가를 동작순서에 따라 간략하게 설명함.

◈4. 종래기술의 문제점: 상기 종래기술의 문제점을 지적하고 본 발명(고안)에서 개선하려는 내용 (발명의 배경 등 동기 등) 및 개선 효과를 설명함.

◈5. 한 Page가 넘어갈 경우 Page를 삽입하여 작성.

내용입력⇒ 종래기술 도면



< 그림 1.1> 종래의 system 구조.

위의 그림은 종래의 system 구조를 나타낸다 .

종래의 embedded system 은 하나의 bus에 Main memory 를 연결하여 사용한다 .

하나의 Bus 에 모든 Module 이 연결되어 있기 때문에 Data 의 In/Out 이 많은 경우에는 Bus 의 Performance 가 System 전체의 성능을 결정하는 요소가 된다 . 만일 Display 하려는 화면 size 가 커지게 되면 Display Module 이 필요한 Data양이 증가하여 Bus 가 항상 사용중인 상태로 된다 . 그렇게 되면 다른 Module 과 Processor 가 Data를 Read/Write 하는 기회가 줄어들게 되므로 System 전반적이 성능이 떨어지게 된다 . 이것을 방지 하기 위해서 Bus 의 속도를 올리면 되지만 Bus의 속도를 올리는 것도 한계가 있고 , 고속으로 동작하게 되면 power 소비가 증가 하고 , 각 Module 도 고속에서 동작할 수 있도록 고려해서 설계되어야 한다 .

4. 발명(고안)의 구체적 설명

작성 방법:(순서대로 기입)

◈1-1. 회로관련 발명

발명회로도: 주변블럭들까지 삽입하여 발명을 블럭도로 작성

상세회로도: 블럭도중에 신규블럭의(발명의 Key point) 상세회로도 작성

파형도 or Flow chart: 가능하면 파형도 삽입,마이콤 관련사항은 반드시 F/C 작성

◈1-2. 기구관련 발명

발명 도면: 전체적인 발명의 구성을 사시도로 작성

상세 도면: 발명의 구체적인 부분을 분해 사시도 및 단면도등을 이용하여 작성

동작상태도: 발명내용중 동작부가 있을경우 각 동작별로 구성의 상태도 작성

◈2. 발명의 목적: 발명을 이루고저 하는 목적 기술

기입예: 본 발명은 ~을 ~~하게 하여 ~~하기위한 것을 특징으로 한다.

◈3. 발명의 구성: 발명의 구성요소들을 나열함.

◈4. 발명의 동작(작용): 상기 구성들의 상관동작관계를 상세히 기술.

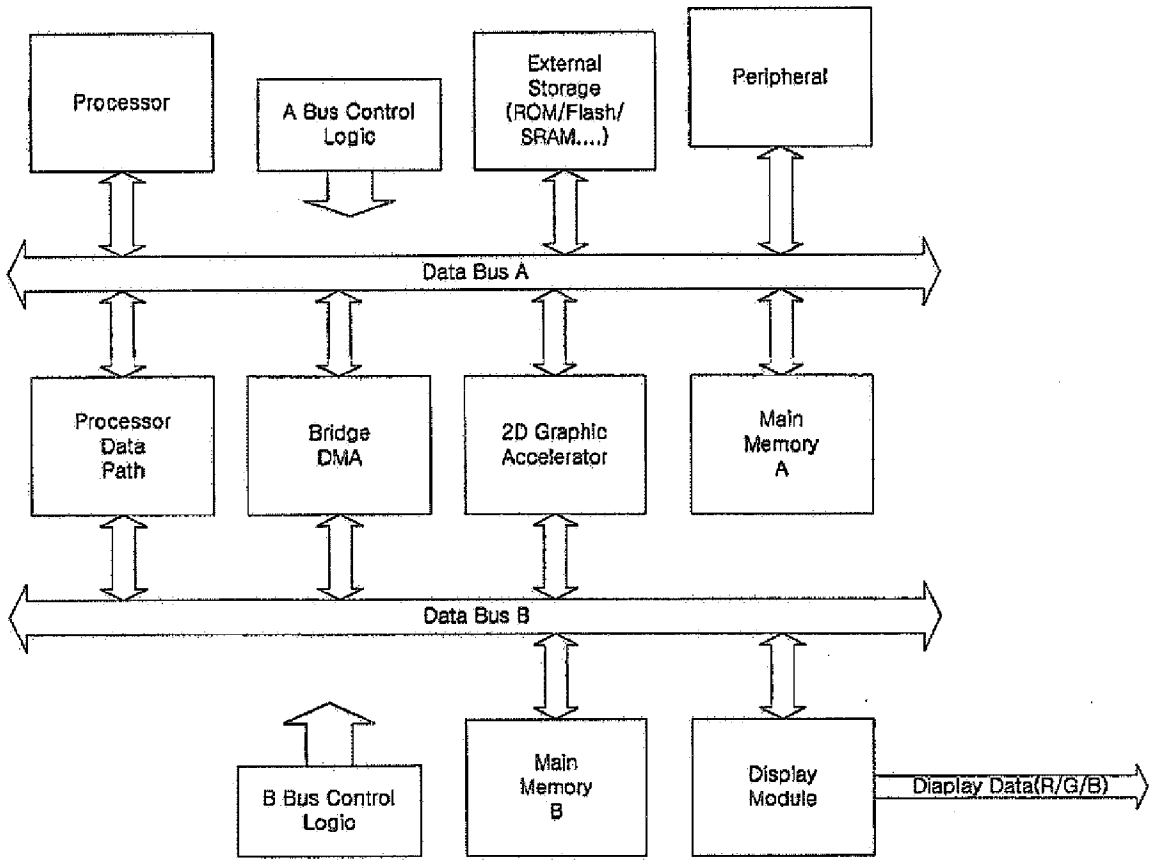
◈5. 발명의 효과: 종래기술에서 해결할 수 없었던 기술적 장점

(새로운 성능,경제성)을 구체적인 실제품 적용시 효과

(Data,도표등 활용)을 예시하여 종합적으로 설명함

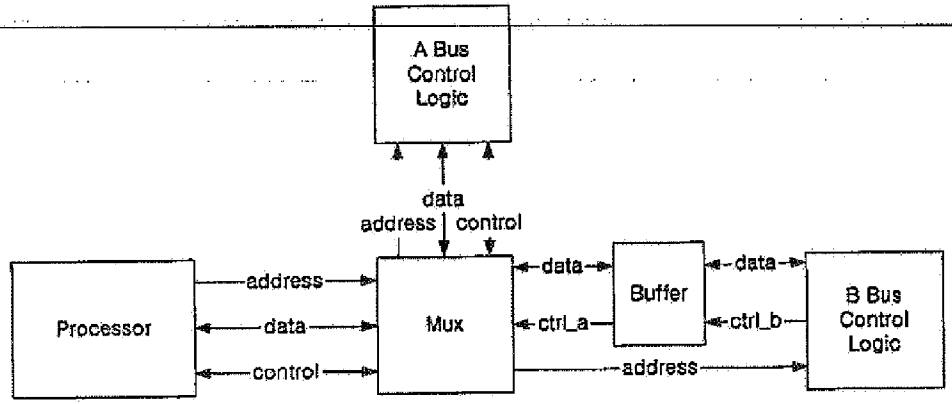
◈6. 한 Page가 넘어갈 경우 Page를 삽입하여 작성.

내용입력⇒ 본고안 도 면



< 그림 2.1 > 고안된 System 구조 .

내용입력



< 그림 2.2 > 고안된 구조의 Processor Data Path 상세도 .

내용입력⇒

그림 2.1 은 고안된 System 의 구조이다 .

고안된 구조는 Data Bus를 A와 B 두개 가지는 구조로 되어 있다.. Data Bus A 는 Processor 와 Peripheral , External storage Device 들과 연결되어 있고 , Data Bus B 는 Display 를 위해 사용되는 Module 인 Display Module 이 연결되어 있다 .

Data Bus가 둘이므로 Bus Control Logic 이 각 Bus 에 하나씩 있게 된다 . 각 Data Bus는 각자 독립적으로 동작 하게 된다 .

External Storage Module 은 외부에 연결하는 Memory Device 를 내부 Bus 에 연결하는 Module로서 Flash/Rom/Sram등 을 연결할 수 있게 되어 있다 . Peripheral Module 의 경우 UART , USB , External I/O 등을 내부 Bus 에 연결시켜 주는 module 이다 .

2D Graphic Accelerator Module 은 OS에서 2D Graphic 을 그릴 때 s/w로 수행하는 명령 중 일부를 H/W를 사용하여 Processor 의 부담을 덜어주고 수행속도도 증가하게 하는 Module 이다 .

Bridge DMA 는 Data Bus A 에 연결되어 있는 Memory A 의 data 를 Data Bus B 에 연결 되어 있는 Memory B 에 전달하거나 , Data B 에 있는 Data 를 Memory A 에 전달하는 역할을 한다 . DMA 로 되어 있으므로 Processor 로 Data 가 In/Out 없이 수행하게 된다 .

Processor Data Path Module 은 Processor 가 Data Bus B 에 연결되어 있는 Memory B 의 Data를 자유롭게 Read/Write 하게 해주는 역할을 한다 .

Display Module 은 Memory B 에 들어 있는 data를 읽어 와서 Display size 에 맞게 Display 한다 .

A Bus Control Logic은 Data Bus A를 사용하고자 하는 Module 의 Bus 사용 요청에 대한 Control과 Memory A 의 Control을 하게 된다 .

B Bus Control Logic 은 Data Bus B 를 사용하고자 하는 Module 의 Bus 사용 요청에 대한 Control 과 Memory B 의 Control을 한다 .

그림 <2.2>는 Processor data Path 의 상세도 이다 .

Processor에서 data를 read/write 하려 하면 address 와 control 신호가 나온다 .

고안된 system 구조 에서는 Memory A 와 Memory B 가 있고 , 서로 독립적으로 동작하는 Data Bus 에 연결되어 있으므로 바로 연결해서는 Data를 Read/Write 하지 못한다 .

Processor에서 Memory내의 Data 를 Read/Write 하려 하면 control 신호와 Address 가 나오는데 , Memory A 와 Memory B 의 구분은 Address 로 구분한다 .

Mux에서 입력되는 Address 를 보고 Memory A 와 Memory B 중 하나로 Access 할 수 있도록 Control 한다 .

만일 Processor에서 출력되는 Address 가 Memory A 의 영역 이면 Mux에서 A Bus Control Logic으로 Processor에서 나오는 Address 와 control 신호를 연결하여 A Bus Control Logic 의 Control 하에 Memory A 에 data 를 Read/Write 하게 된다 . 그림<2.1>에서 보면 Processor는 Data Bus A 와 연결되어 있으므로 별다른 장치 없이 Memory A 에 data 를 Read/Write 하게 된다 .

만일 Processor에서 출력되는 Address 가 Memory B 영역이면 Mux에서 Data Bus B로 연결한다 .

Data Bus B 의 경우 Processor 의 data 입출력 속도와 관계없는 speed를 동작하기 때문에 바로 연결하여 Data 를 Read/Write 할 수 없고 내부에 Buffer를 가져야 된다 . B memory 에 Data 를 Write를 위해 Mux에서 선택이 되면 Buffer empty check 를 하게 된다 . 만일 Buffer 가 empty면 Buffer에서 Processor 에 data를 Out 하라는 control 신호를 보내게 된다 . Processor에서 Data 를 out 하면 Buffer 에 data를 저장하고 , B Bus Control Logic 에 B Memory access 를 위해 bus 사용 요청을 보낸다 . B Bus control Logic에서 Bus 사용 허가가 오면 Buffer 의 data를 B memory 에 Write 한다 .

Processor에서 B Memory 의 data를 Read하려 하면 Mux에서 Buffer 에 control신호를 보내고 buffer full check 을 하게 된다 .

Buffer 에서는 Read 신호를 받으면 B bus control logic 에 B memory 의 data를 read 하기위해 bus 사용 요청을 보내고 , 사용허가가 입력되면 B memory 의 data 를 read 하여 Buffer 에 write 한다 . Buffer 에 write 하는 동작이 완료되면 buffer full message 를 Processor 에 보내게 되고 Processor는 buffer 의 data 를 Read 하게 된다 .

이와 같은 동작으로 Processor 와 Memory A , Memory B 의 data Read/Write 동작을 수행한다 .

이와 같은 각 module의 동작을 system 이 동작할 때 상황에서 설명하면 다음 과 같다 .

먼저 system이 booting 되면 Processor 는 Memory A에서 instruction set 를 read 하여 동작 하게 된다 .

Processor 에서는 display 를 위해 2D graphic 처리를 하게 되는데 , Processor에서 나오는 명령을 분석하여 2D graphic Accelerator에서 수행할 수 있는 동작은 2D Accelerator 에 명령을 주어 Memory B 에 display data 를 write 하게 되고 , 2D Accelerator에서 수행 불가능한 경우에는 Processor data Path 를 통해 memory B 에 data 를 write 하게 된다 .

Graphic data가 아닌 다른 유형의 data 의 경우(video data) Memory A 에 저장되어 있는 data를 Bridge DMA 를 이용하여 Memory B 로 전송하여 Display 하게 된다 . Memory B 의 data를 어떤 Application에서 Processing 하고자 하는 경우 Bridge DMA를 이용하여 Memory A로 전송하여 사용할 수도 있다 .

위와 같은 방법으로 Display 를 위한 Data는 Memory B 로 보내어지고 Display Module 은 Memory B 의 data를 Read하여 Display 하게 된다 .

Processor 에서는 그 밖의 Processing 을 위해 Memory A를 이용하게 된다 .

이와 같이 Display 를 위한 Memory 를 분리하게 됨으로써 Display size 가 커져 Display 를 위한 Data량 이 증가하더라도 Processor가 사용하는 Memory Bandwidth 에는 별다른 영향을 주지 않게 되어 Processor 의 성능을 최대한 이용할 수 있게 된다 .

Display Module 의 경우에도 분리되어 설계되어 있으므로 , 이 부분만을 고속동작이 가능하게 설계하면 되므로 전체를 고속 설계해야 한다는 부담을 덜 수 있고 , Display 만을 위한 Memory bus Width 를 Processor 와 관계없이 설정하거나 다양한 종류의 Memory 를 사용할 수 있다 .

○ 특허발명과 기술범위를 결정하는 매우 중요한 항목임.
- 독점권을 얻고싶은 특징 사항만을 기술한다.
- 본 발명의 특징과 같은 효과를 얻기위해서 필요한 신규의 구성 요소를 기술한다.

【 기재 예 】
1. 상위개념(독립항)
- XXX기능을 하는 A와 YYY기능을 하는 B로 구성된 ○○장치(회로)
- A step과 B step과 C step으로 이루어지는 ○○ 방법
2. 하위개념(종속항)
- 제1항(독립항 인용)에 있어서: 동신호검출부(수단)는 ㅡ하는 ㅡ와, ㅡ하는 ㅡ로 구성된 ○○장치(회로)
- 제1항(독립항인용)에 있어서 A step의 ZZ가 A1인 ○○방법
3. 상위개념(독립항)
- - - - - - - - - - - -
- - - - - - - - - - - -

5. 청구의 범위

1. Processor를 가지는 system에서 Processing 을 위한 Memory 와 Data Bus 를 가지고 Display 를 위한 전용 memory 와 Data bus 를 가지며 , 각 Memory 와 Data Bus 는 독립적으로 동작하고 , 한 Memory 의 data 를 다른 Memory 로 전송하기 위한 Bridge DMA 기능을 가지며 , Processor에서 독립적으로 동작하는 두개의 Memory Access가 가능한 구조로 이루어진 system 구조 .

제 1 항에 있어서 Processor에서 출력되는 Address를 이용하여 두개의 Data bus Access 가 가능한 구조로 되어 있는 Processor data path 구조 .

4. 도면의 간단한 설명

첨부된 도면의 간단한 설명을 기술함
●통상적으로 제 1도 또는 제 2도는 종래기술의 회로도를 그린다.

【기재 예】
제 1도:종래의 모니터 블럭도
제 2도:본발명의 모니터 블럭도
제 3도:2도의 ○○블럭의 상세회로도
제 4도:3도의 파형도

제 1도: 종래의 system 구조

제 2도: 고안된 system 구조 .

제 3도: 고안된 구조의 processor data path 상세도 .

제 4도:

제 5도:

Document 1 for U.S. Application No. 10/758,040

◎ In-Service Invention/Application File

Receipt Date	AF-200210-006-1	Application No.	-	Registration No.	-
Inventors	Choi Sung Kyu	Person in Charge of Application	Lee Jong Won	Progressing State	Authorized to Attorney
Title of Invention	Structure Capable of Improving Display Performance in Embedded System				

Date	Dispatch Date	Receipt Date	Registrant	Affair	Title	Attachment
11 November 2002	11 November 2002	11 November 2002	Lee Jong Won	Authorization to Attorney	Structure Capable of Improving Display Performance in Embedded System	0
22 October 2002	22 October 2002	8 November 2002	KIPRIS	Receive Result of Research on Prior Art	Structure Capable of Improving Display Performance in Embedded System	1
16 October 2002	-	-	Choi Sung Kyu	In-Service Invention	In-Service Invention	1
16 October 2002	16 October 2002	17 October 2002	Lee Jong Won	Request Research on Prior Art	Research on Prior Art	0

Document 2 for U.S. Application No. 10/758,040

<Details of Bill on Domestic Application (T/S)> (draft)

Details	Person in Charge	Rate	Date	Time Consumed	
				W/H	B/H
Review on Content of In-Service Invention	Lee Jang Hyuk		12 December	2:00	2:00
Compare and Review In-Service Invention and Prior Art	Lee Jang Hyuk		12 December	2:00	2:00
Interview with Inventor and Person in Charge of Application	Lee Jang Hyuk		13 December	0:30	0:30
Drafter's Preparation Review on Draft of Drawings	Lee Jang Hyuk		30 December	7:00	7:00
Prepare Draft of Specification	Lee Jang Hyuk		20 December	7:00	7:00
			21 December	7:00	7:00
			23 December	3:00	3:00
			24 December	7:00	7:00
			31 December	2:00	2:00
Total					

Document 3 for U.S. Application No. 10/758,040

(Local Individual Bill on Time Charge)

☐ Official

■ Temporary

Reception: Intellectual Property Team,
Digital Media Lab

Dispatch: Y.P. Lee, Mock & Partners
(T/C Manager: Park So Young)

Title: Demand for Local (☐Application ☐Examination ☐Registration ☐ Judgment) Payment

				Date of Demand		
1. Bibliographic Details	Number in Our Office	SH011021		SEC Ref No.	AF-200210-006-1	
Common Details	Title of Invention					
	Application No.		Representative Inventor	Choi Sung Kyu	Grade	A

2. Details of Bill on Time Charge

Date	Details (Items in Contract)	Person in Charge	Rate	Time	Price (won)
12 December 2002	Examination on In-Service Invention Report	Lee Jang Hyuk		2:00	
12 December 2002	Compare and Review In-Service Invention and Prior Art	Lee Jang Hyuk		2:00	
13 December 2002	Interview with Inventor	Lee Jang Hyuk		0:30	
20 December 2002	Prepare Draft of Specification	Lee Jang Hyuk		7:00	
21 December 2002	Prepare Draft of Specification	Lee Jang Hyuk		7:00	
23 December 2002	Prepare Draft of Specification	Lee Jang Hyuk		2:00	
24 December	Prepare Draft of Specification	Lee Jang Hyuk		7:00	

2002					
30 December 2002	Prepare and Review Draft of Drawing	Lee Jang Hyuk		7:00	
31 December 2002	Prepare Draft of Specification	Lee Jang Hyuk		2:00	
Total				36:30	

Document 4 for U.S. Application No. 10/758,040

Request for Reviewing Draft Application (Returning Document)

Reception (Department which Invented Invention)	Mobile Solution Group, Choi Sung Kyu
Dispatch (Patent Department)	3608, Lee Jong Won, Intellectual Property Team, Digital Media Lab
In-Service Invention Receipt No.	AF-200210-006-1
Title of In-Service Invention	Structure Capable of Improving Display Performance in Embedded System
Title of Application	Apparatus and Method of Connecting Processor Bus

[Opinion of Inventor upon Examining Draft]

(Examiner:) / (Date of Examination:)

[Opinion of Patent Department upon Examining Draft]

(Examiner:) / (Date of Examination:)

[Opinion of Office upon Writing Draft] <Office Management No.: SH011021>

Interview with Inventor: Done (V) Not Done () Discussion over Phone ()
(Drafter: Lee Jang Hyuk/Proof Reader: Kim Yu Ri) / (Date: 4 January 2002)

Document 5 for U.S. Application No. 10/758,040

◈ Particulars of Korean Application (Abstracted Translation)

◎ Title of the Invention: Structure Capable of Improving Display Performance in Embedded System

◎ Inventors (Korean)

Name	Name in Chinese Characters	Resident Registration Number	Phone Number	Mobile Number
Representative	Present Department			Invention Ownership (%)
Address (Home)				
Choi Sung Kyu	崔成圭	680412-1026116	82-331-200-3163	-
Y	Mobile Solution Group (DM Lab.)			100%
1208/206, DongShin Apt., Mujigae Maeul Apt., Choong2-Dong, Wonmi-Gu, Bucheon-City, Kyunggi-Do, Seoul				

◎ In-Service Invention
Prepared Date: 15 October 2002
Patent Department Receipt Date: 16 October 2002
Invention Classification: Self-Invented

◎ Prior Art Research
Request Date: 16 October 2002
Research Company: KIPRIS

◎ Invention Evaluation

Inventor	Date	15 October 2002	Grade	A
Director	Date	16 October 2002	Grade	A
Person in Charge of Application	Date	4 November 2002	Grade	A
Evaluation Committee	Date	6 November 2002	Grade	A

◎ Authorization Information

First Authorization to Attorney	Local/Foreign Application	Authorization Date	11 November 2002

◎ Draft Information * Person in Charge of Local Drafting Office: Lee Jang Hyuk

First Report on Draft	6 January 2003	First Reply on Draft	16 January 2003

Document 6 for U.S. Application No. 10/758,040

◎ In-Service Invention/Application File

Receipt Date	AF-200210-006-1	Application No.	-	Registration No.	-
Inventors	Choi Sung Kyu	Person in Charge of Application	Lee Jong Won	Progressing State	Report on Draft Examination
Title of Invention	Structure Capable of Improving Display Performance in Embedded System				

Date	Dispatch Date	Receipt Date	Registrant	Affair	Title	Attachment
16 January 2003	16 January 2003	16 January 2003	Lee Jong Won	Report on Draft Examination	Report on Draft Examination – With Revision	1
6 January 2003	6 January 2003	11 January 2003	Lee Young Pil	Draft	Draft Document	1
11 November 2002	11 November 2002	11 November 2002	Lee Jong Won	Authorization to Attorney	Structure Capable of Improving Display Performance in Embedded System	0
22 October 2002	22 October 2002	8 November 2002	KIPRIS	Receive Result of Research on Prior Art	Structure Capable of Improving Display Performance in Embedded System	1
16 October 2002	-	-	Choi Sung Kyu	In-Service Invention	In-Service Invention	1
16 October 2002	16 October 2002	17 October 2002	Lee Jong Won	Request Research on Prior Art	Research on Prior Art	0

◎ Affair/File Reference

Affair	Report on Draft Examination	Date	16 January 2003
Dispatch Date	16 January 2003	Receipt Date	16 January 2003
Title	Report on Draft Examination – With Revision		
Opinion	-		

File Name	File Description
AF-200210-006-1.gul	-